

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000124403
PUBLICATION DATE : 28-04-00

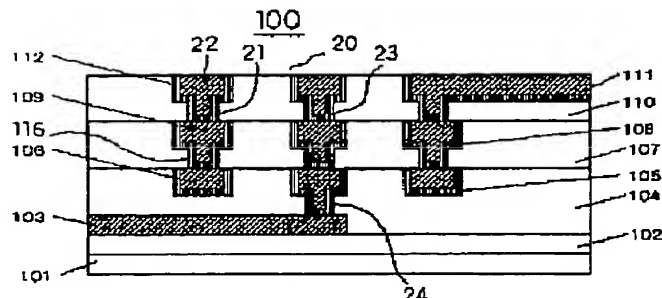
APPLICATION DATE : 12-10-98
APPLICATION NUMBER : 10289210

APPLICANT : NEC CORP;

INVENTOR : SUZUKI HISAMITSU;

INT.CL. : H01L 27/04 H01L 21/822 H01L 21/3205

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a semiconductor device which can be lessened in wiring resistance and improved on Q value while restraining a skin effect.

SOLUTION: A semiconductor device 100 is equipped with an inductor wiring structure 20 formed on a semiconductor substrate 101, where wiring layers 106, 109, and 112 which are shaped in the form of inductors are electrically connected together along all the overall length of the layers through the intermediary of connectors 21. Wiring sections 103 and 111 connected to the outer circuit of the inductor wiring structure 20 are connected to a part of the wiring layer 112 which is shaped in the form of a plane inductor and provided as an uppermost layer out of the laminated wiring layers 106, 109, and 112 and a part of the wiring layer 112 which is shaped in the form of a plane inductor and provided as a lowermost layer out of the laminated wiring layers.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124403

(P2000-124403A)

(43) 公開日 平成12年4月28日 (2000.4.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L	27/04	H 0 1 L 27/04	L 5 F 0 3 3
	21/822	21/88	A 5 F 0 3 8
	21/3205	27/04	D

審査請求 有 請求項の数13 O L (全 14 頁)

(21) 出願番号 特願平10-289210

(22) 出願日 平成10年10月12日 (1998. 10. 12)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 鈴木 久満

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

Fターム (参考) 5F033 G002 H008 H011 J001 K008

KK11 M012 M013 P006 Q008

QQ09 QQ16 QQ31 QQ48 RR04

RR15 VV08 XX08

5F038 AZ01 AZ04 CA02 CD18 DF02

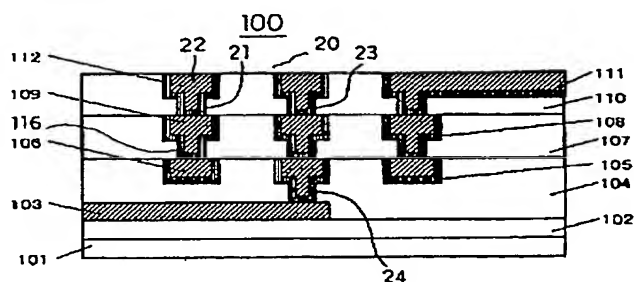
EZ02 EZ11 EZ14 EZ15 EZ20

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 表皮効果を抑制すると共に、配線抵抗を低減し、Q値の向上をはかる事が可能な半導体装置を提供する。

【解決手段】 半導体基板101上に形成されたインダクタ配線構造20を有する半導体装置100であって、インダクタ形状を有するそれぞれの配線部層106、109、112が互いに各配線部層の全長に亘って互いに接続部21を介して電氣的に接続されており、積層されている複数の配線部層106、109、112の内最上層を構成する当該平面的インダクタ形状を有する配線部層112の一部及び最下層を構成する当該平面的インダクタ形状を有する配線部層106の一部に、インダクタ配線構造20の外部回路に接続する配線部103、111が接続されている半導体装置。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された層間絶縁膜の表面及び内部に、互いに同一の平面形状を持った平面的インダクタ形状を有する複数の配線部層が互いに同芯状に積層される様に堆積せしめられて形成されたインダクタ配線構造を有する半導体装置であって、当該平面的インダクタ形状を有するそれぞれの配線部層が互いに当該平面的インダクタ形状を有する各配線部層の全長に亘って互いに接続部を介して電氣的に接続されており、当該積層されている複数の配線部層の内最上層を構成する当該平面的インダクタ形状を有する配線部層の一部及び最下層を構成する当該平面的インダクタ形状を有する配線部層の一部に、当該インダクタ配線構造の外部回路に接続する配線部が接続されている事を特徴とする半導体装置。

【請求項2】 隣接して配置されている当該複数の平面的インダクタ形状を有する配線部層は、それぞれの配線部層に設けられた接続部は、当該配線部層の上部を構成する配線本体部の幅よりも狭い幅を有している事を特徴とする請求項1記載の半導体装置。

【請求項3】 当該接続部は、当該配線本体部から下方に延長された突起状物で構成されている事を特徴とする請求項2記載の半導体装置。

【請求項4】 複数の互いに一体的に積層された当該平面的インダクタ形状を有する配線部層の内、最下層部を構成する当該平面的インダクタ形状を有する配線部層には、当該接続部が形成されておらず、当該外部回路を接続する配線部とのコンタクトを形成する部分に於いて電氣的接続を形成する為の独立した接続構成部が形成されている事を特徴とする請求項1乃至3の何れかに記載の半導体装置。

【請求項5】 当該接続部は、当該平面的インダクタ形状を有する配線部層の上部を構成する配線本体部と同一の材料で構成されている事を特徴とする請求項1乃至4の何れかに記載の半導体装置。

【請求項6】 当該接続部は、当該平面的インダクタ形状を有する配線部層の上部を構成する配線本体部とは異なる材料で構成されている事を特徴とする請求項1乃至4の何れかに記載の半導体装置。

【請求項7】 当該接続部は、一つの平面的インダクタ形状を有する配線部層に対して複数個形成されている事を特徴とする請求項1乃至6の何れかに記載の半導体装置。

【請求項8】 当該複数の接続部は、当該平面的インダクタ形状を有する配線部層の当該配線本体部の長手方向に平行に配置形成されている事を特徴とする請求項7記載の半導体装置。

【請求項9】 当該配線本体部と接続部を含む平面的インダクタ形状を有する配線部層の断面形状は、互いに積

徴とする請求項1乃至8の何れかに記載の半導体装置。

【請求項10】 当該配線本体部と接続部を含む平面的インダクタ形状を有する配線部層の断面形状は、互いに積層された各層に於ける当該配線部層間で異なるものである事を特徴とする請求項1乃至9の何れかに記載の半導体装置。

【請求項11】 当該配線部層の断面形状は、上層側の当該配線部層の断面積に対して、その下層側の当該配線部層の断面積が小さくなるように構成されている事を特徴とする請求項10記載の半導体装置。

【請求項12】 当該一の平面的インダクタ形状を有する配線部層に設けられた当該接続部は、当該層間絶縁膜内に設けられたスリット状の溝部を介して下方に配置されている他の平面的インダクタ形状を有する配線部層の配線本体部と接続されている事を特徴とする請求項1乃至11の何れかに記載の半導体装置。

【請求項13】 当該平面的インダクタ形状を有する配線部層の当該配線本体部に設けられる当該接続部は、当該配線本体部の2の上下両面に形成されるものである事を特徴とする請求項1乃至12の何れかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関するものであり、更に詳しくは、配線抵抗が低減せしめられたインダクタを有する半導体装置に関するものである。

【0002】

【従来の技術】近年、PHS等の携帯電話の普及により、携帯電話用の高周波回路の低コスト化が要求されている。この低コスト化の実現のためCMOSを用いた高周波回路が用いられている。ところが、CMOSを用いた高周回路では、インピーダンス整合のためにインダクタ素子、容量、抵抗等の受動素子が必須であり、また、低コスト化のためこれらすべてを一つのチップに搭載することが要求されている。

【0003】受動素子のうち抵抗、容量については、半導体素子上に容易に形成することができるので、キーポイントとなるのがインダクタの形成である。この際に、インダクタンス、Q値(クオリティファクター)が大きく、その上で損失が小さく、かつ共振周波数が高いインダクタが回路設計者より要求されている。また、携帯電話の利用者が多くなるとチャネルが足りなくなり、チャネルを確保するためにより高周波数で回路を動作させる必要が生じるが、高周波でインダクタを使用すると表皮効果が起こり、インダクタ中を流れる高周波電流は、その厚さ方向に一樣に流れることはなく導体の表面のみに流れ、その深さは、表皮深さと呼ばれ次式(1)で表される。

$$\delta = 1.59 (\rho / f) 1/2 \cdots \cdots (1)$$

ここで δ :表皮深さ(μm)、 ρ :配線の比抵抗($\mu\Omega\text{cm}$)、 f :動作周波数(GHz)である。また、 Q 値は次式(2)で表される。

$$Q = \omega L / R = \omega L \cdot S / l \cdot \rho \cdots \cdots (2)$$

ここで、 L :インダクタンス、 R :配線抵抗、 S :配線の断面積、 l :配線長、 ρ :配線の比抵抗である。

【0005】従って、上式(1)及び(2)から明らかのように、動作周波数が一定の状況で、 Q 値を高くするために比抵抗 ρ の小さいものを用いると、表皮深さ δ が浅くなり、高周波電流はより導体の表面のみに流れることになり、表皮効果がより顕著となってしまうという問題点があった。当該表皮効果を改善する方法として、例えば特開平8-288463号公報が知られている。

【0006】以下に当該従来技術について説明する。図13は、上記公知例に於ける表皮効果を改善するための方法を説明する図である。即ち、図13(a)は、基板の厚さ600 μm の半絶縁性GaAs基板200上にSiO₂等の絶縁膜201を600nm被着し、めっき用下地金属層202を例えば、下からTi/Au(20nm/150nm)の二層構造を有する金属膜で形成する。Tiは絶縁膜201との密着性確保のために用いる。

【0007】次に通常のフォトリソグラフィ技術を用いてストリップ線路に対応するレジストパターン203を形成する。フォトリソレジストを露光するとき、光源からの入射波とレジスト下面205からの反射波の干渉によってレジスト層に定在波ができる。特に、めっき用下地金属層202の様に反射率の高い金属層がレジスト下面205と接している場合は、特に著しい。

【0008】即ち、定在波の節の部分は露光不足になり、現像の段階で、フォトリソ法とレジスト寸法の間で偏差が生じる。図1の如くレジストにポジ型レジストを用いれば、定在波の節の部分は残りやすく、レジストパターンの凸部206になり、定在波の腹の部分がレジストパターンの凹部207になる。

【0009】一方、ネガ型レジストを用いる場合は逆に、定在波の節の部分は現像液に溶けやすく、レジストパターンの凹部を形成し、腹の部分は凸部になる。フォトリソグラフィで用いる光源は、超高圧水銀灯のg線405nmあるいは、i線365nmである。真空中における波長が405nmの場合、レジスト中での波長は270nmになるので、レジスト下面205からの距離 x に対し $x = 135 \times N$ ($N = 0, 1, 2, \dots$)すなわち0nm、135nm、270nm、405nm、 \dots に節ができ、 $x = 135(N + 1/2)$ すなわち68nm、203nm、 \dots に腹ができる。

【0010】i線の場合もやや間隔が狭くなるが、同様の定在波の効果がレジスト断面に現れる。通常は、レジ

よる凹凸をなくするのが一般的であるが、上記公知例に於いては、この効果を積極的に利用する。図13(b)

は、次にレジスト203をマスクとして、Auの選択電界メッキ法により、メッキ用下地金属層202に電流を流し、配線層204を形成する。

【0011】配線層204は定在波により出来たレジスト凹凸を転写された形状になる。30GHzで動作するGaAsモノリシックマイクロ波ICの場合、Auのストリップ線路の表皮深さは $\delta = 0.43\mu\text{m}$ である。ストリップ線路の膜厚は、 δ の3倍に選び、1.3 μm を用いる。図13(c)は、レジスト203をレジスト剝離材で除去後、配線204をマスクとして、電界メッキ用の下地金属膜202の不要部分をイオンミリングで除去する。以上の工程を経て、ストリップ線路204は形成される。

【0012】以上が従来技術による表皮効果の改善方法である。また、近年の微細CMOSは、従来のアルミを用いた配線から、アルミよりも層抵抗が低く、かつ、熱伝導性の良い銅を用いた配線に変わりつつあり、この場合、層間膜を形成した後、層間膜中に溝を形成し、溝の中に配線や上層配線と下層配線をつなぐプラグを堆積し、CMP (Chemical Mechanical Polishing) 技術を用いて溝の内部に配線やプラグを埋め込む「ダマシン」と言われる技術を用いるので、このプロセスに対し互換性のあるインダクタが必要であった。

【0013】又、上記した方法に於いて、銅を配線に使用する場合には、メッキ方法を採用する限り当該ビアホール部或いはプラグ部に銅が入り込めないで、断線が発生する事が多いと言う問題が有った。又、特開平8-227975号公報には、高Q集積インダクタンスコイルに関して記載されているが、突起部を有する配線部が単に平面的に一層の形態で渦巻き状に形成する例が示されているのみであって、複数の平面的インダクタ形状を有する配線部層を積層する技術に関しては開示がない。

【0014】更に、特開平9-251999号公報には、半導体装置に設けられた金属配線の側壁部に凹凸形状が形成された例が示されており、又特開平9-181264号公報には、配線抵抗を低減させ、 Q 値を向上させる半導体装置であって、スパイラル状の第1の配線層と第2の配線層とをプラグで接続した構成が示されているが、何れの従来例に於いても複数の平面的インダクタ形状を有する配線部層を積層して全面で互いに接続させる技術に関しては開示がない。

【0015】一方、特開平9-162354号公報には、配線抵抗を低減させ、 Q 値を向上させる半導体装置であって、特開平9-251999号公報と同様にスパイラル状の複数の配線層を互いに積層し各配線層間をプラグ或いは溝状の接続部で接続する構成が示されている

き出す構成を採用しており、本発明に於ける様な配線の引き出し構成を持っていない。

【0016】

【発明が解決しようとする課題】従って、本発明の目的は、上記した従来技術の欠点を改良し、インダクタの表面積を大きくし、表皮効果を抑制すると共に、配線の断面積を大きくすることにより配線抵抗を低減し、Q値の向上をはかる事が可能な半導体装置を提供するものである。

【0017】

【課題を解決するための手段】本発明は上記した目的を達成する為、以下に示す様な基本的な技術構成を採用するものである。即ち、本発明に係る半導体装置は、半導体基板上に形成された層間絶縁膜の表面及び内部に、互いに同一の平面形状を持った平面的インダクタ形状を有する複数の配線部層が互いに同芯状に積層される様に堆積せしめられて形成されたインダクタ配線構造を有する半導体装置であって、当該平面的インダクタ形状を有するそれぞれの配線部層が互いに当該平面的インダクタ形状を有する各配線部層の全長に亘って互いに接続部を介して電氣的に接続されており、当該積層されている複数の配線部層の内最上層を構成する当該平面的インダクタ形状を有する配線部層の一部及び最下層を構成する当該平面的インダクタ形状を有する配線部層の一部に、当該インダクタ配線構造の外部回路に接続する配線部が接続されている半導体装置である。

【0018】

【発明の実施の形態】本発明に係る半導体装置は、上記した様な技術構成を採用しているので、インダクタの配線と、当該配線の下に形成された突起物等からなる接続部によって、積層されている複数の平面的インダクタ形状を有する配線部層が電氣的に接続されることになるので、インダクタの配線抵抗を低減させる事が可能となるのである。

【0019】

【実施例】以下に、本発明に係る半導体装置の一具体例の構成を図面を参照しながら詳細に説明する。即ち、図1は、本発明に係る当該半導体装置の一具体例の構成を示す断面図であって、図中、半導体基板101上に形成された層間絶縁膜2の表面及び内部に、互いに同一の平面形状を持った平面的インダクタ形状を有する複数の配線部層106、109、112が互いに同芯状に積層される様に堆積せしめられて形成されたインダクタ配線構造、つまりコイル部分20を有する半導体装置100であって、当該平面的インダクタ形状を有するそれぞれの配線部層106、109、112が互いに当該平面的インダクタ形状を有する各配線部層の全長に亘って互いに接続部21を介して電氣的に接続されており、当該積層されている複数の配線部層106、109、11

する配線部層112の一部及び最下層を構成する当該平面的インダクタ形状を有する配線部層106の一部に、当該インダクタ配線構造20の外部回路に接続する配線部103、111が接続されている半導体装置が示されている。

【0020】本発明に係る当該半導体装置100に於いて、互いに隣接して配置されている当該複数の平面的インダクタ形状を有する配線部層106、109、112・・・は、それぞれの配線部層に設けられた接続部21は、当該配線部層の上部を構成する配線本体部22の幅よりも狭い幅を有している事が好ましい。更に、本発明に係る当該半導体装置100に於いては、当該接続部21は、当該配線本体部22から下方に延長された突起状物23で構成されている事が望ましい。

【0021】当該突起状物23の形状は特に限定されるものではなく、例えば図1に示す様な矩形状の突起であっても良く、又湾曲状、三角状等に突起したもので有っても良い。更には、当該接続部21の断面全体が、湾曲状に形成されていても良く、又逆三角形状に形成されているもので有っても良い。

【0022】一方、本発明に係る当該半導体装置に於いて使用される当該平面的インダクタ形状を有する配線部層としては、例えば、図2(A)に示す様な、平面状に形成された渦巻き状の配線で形成されていても良く、単に一本の配線が閉鎖状のループを形成し、その一部が非連続状態に構成された形状を有するもので有っても良い。

【0023】要は、当該半導体装置100に使用される複数の平面的インダクタ形状を有する配線部層21が全て同一の形状を有している事が望ましい。上記した様に、本発明に係る当該半導体装置100に於いては、上記した複数の平面的インダクタ形状を有する配線部層21が所定の層間絶縁膜中で互いに同芯状に重畳する様に積層されているものであって、当該積層構造に於いては、一の平面的インダクタ形状を有する配線部層21の当該接続部22が、その下側に積層されている他の平面的インダクタ形状を有する配線部層22の配線本体部23と直接当接する様に積層されているものである。

【0024】一方、当該複数の互いに一体的に積層された当該平面的インダクタ形状を有する配線部層106、109、112・・・の内、最下層部を構成する当該平面的インダクタ形状を有する配線部層106の下部には、当該接続部22が形成されておらず、その代わりに、当該平面的インダクタ形状を有する配線部層106の下部に於ける少なくとも一部に於いて、当該外部回路と接続する配線部103とのコンタクトを形成する部分に於いて電氣的接続を形成する為の独立したプラグ状の接続構成部24が形成されている事が望ましい。

【0025】同様に、当該複数の互いに一体的に積層

6、109、112・・・の内、最上層部を構成する当該平面的インダクタ形状を有する配線部層112の少なくとも一部に、当該外部回路と接続する配線部111とが電氣的接続を形成する為に接続形成されている事が望ましい。

【0026】本発明に於ける当該接続部21は、当該平面的インダクタ形状を有する配線部層106、109、112・・・に於けるそれぞれの上部を構成する配線本体部22と同一の材料で構成されても良く、又互いに異なる材料で構成されても良い。更に、本発明に於いては、当該接続部21は、一つの平面的インダクタ形状を有する配線部層106、109、112・・・に於けるそれぞれの配線部本体22に対して複数個形成されている事も望ましい。

【0027】当該複数個の接続部21は、当該平面的インダクタ形状を有する配線部層106、109、112・・・の当該配線本体部22の長手方向に対して平行に且つ互いに平行に配置形成されている事が好ましい。本発明に於いては、当該それぞれの平面的インダクタ形状を有する配線部層106、109、112・・・に形成される当該接続の形状及びその個数は、当該配線部層間で同一であっても良く又互いに異なる様に構成されていても良い。

【0028】同様に、それぞれの平面的インダクタ形状を有する配線部層106、109、112・・・に於ける当該配線本体部22と接続部21を含む平面的インダクタ形状を有する配線部層の断面形状は、互いに積層された当該配線部層間で同一で有っても良く又互いに異なる形状を有するもので有っても良い。当該配線部層106、109、112・・・の断面形状は、例えば、上層側の当該配線部層の断面積に対して、その下層側の当該配線部層の断面積が小さくなるように構成されている事も好ましい。

【0029】又、本発明に於ける当該一の平面的インダクタ形状を有する配線部層9、12・・・に設けられた当該接続部21は、当該層間絶縁膜102、104、107、110・・・内に設けられたスリット状の溝部116を介して下方に配置されている他の平面的インダクタ形状を有する配線部層106、109の配線本体部22と接続されているものである。

【0030】以下に、本発明に係る当該半導体装置100の具体例の構成及びその製造方法の具体例について詳細に説明する。図2(A)は、平面的インダクタ形状を有する配線部層であるスパイラルインダクタの平面レイアウトの特徴的な部分を示し、第1の配線である第1の平面的インダクタ形状を有する配線部層106に接続された下部引き出し電極線103と最上層の平面的インダクタ形状を有する配線部層、例えば112からなるスパイラルインダクタに接続された、上部引き出し電極線1

【0031】つまり、本発明に係る当該平面的インダクタ形状を有する配線部層106、109、112・・・等は、何れも同一の形状を有し互いに同心的に積層されているものである。図2(B)は、図2(A)を具体的に説明するために、図2(A)の一点鎖線で示された部分を拡大したもので、下部引き出し電極線103、ドット状の第1のビア115及び第1の平面的インダクタ形状を有する配線部層106が図に示した配置となっている。

10 【0032】同様に、図2(C)は、図2(A)に於ける積層状態を具体的に説明するために、第2図(A)の一点鎖線で示された部分を拡大し、且つ第1の平面的インダクタ形状を有する配線部層106と第2の平面的インダクタ形状を有する配線部層109との接続状態を示すものであって、当該第1の平面的インダクタ形状を有する配線部層106と当該第2の平面的インダクタ形状を有する配線部層109との間にスリット状の第2のビア116が設けられており、当該第2のビア116に相当する部分に本発明に於ける接続部21が形成されているものである。

20 【0033】尚に、図1は、図2(B)及び、図2(C)スパイラルインダクタの平面図のA-B部の断面を示した図である。図2(A)～(C)及び、図1より、スパイラルインダクタのコイルの部分20を形成している第1～第4の平面的インダクタ形状を有する配線部層106、109、112はスリット状のビア116を介して互いに接続され、下部引き出し電極113を形成する第1の配線103とスパイラルインダクタのコイルの部分形成している第2の配線、つまり第1の平面的インダクタ形状を有する配線部層106のみがドット状の第1のビア115で接続されていることがわかる。

30 【0034】次に、図1及び図2に示される半導体装置100の製造方法を、図3乃至図5を参照しながら詳細に説明する。まず、図3(A)に示す様に、P型半導体基板101上に1000～1600nmの第1の層間絶縁膜102を形成し、500～1000nmのアルミ、銅等の第1の配線103を形成し、次で第2の層間絶縁膜104を成長させ、第1の配線103上に、当該層間絶縁膜104の厚さが1000～2000nmの膜厚になるようにCMP、エッチバック等の公知の技術を用いて表面が平坦になるように形成する。

40 【0035】次に、図3(B)に示す様に、第2の層間絶縁膜104上にビアを形成するための第1のマスク117を形成し、次に配線を形成するための第2のマスク118を形成する。次に、図3(C)に示す様に、第1のマスク117及び第2のマスク118の両方が開口して第2の層間絶縁膜104が露出した部分に、図2(B)に示したようにドット状の第1のビア115を形成するため公知の異方性エッチング技術によりエッチン

【0036】係るエッチングに於いては、第1の配線103上に第2の層間絶縁膜104が200~700nm程度残るようにエッチングを止める事が望ましい。次に、図4(D)に示す様に、第2のマスク118の開口部に露出した第1のマスク117を第2の層間絶縁膜104に対し選択的にエッチングし、配線形成のための第2のマスク118による開口部を第2の層間絶縁膜104の上に形成する。

【0037】次に、図4(E)に示す様に、公知の異方性エッチング技術により、図4(D)で露出した第2の層間絶縁膜104の表面を500~1000nmエッチングし、第1の平面的インダクタ形状を有する配線部層106に相当する第2の配線形成のための溝119を形成した後、第1のマスク117、第2のマスク118を除去する。

【0038】尚、この際に第1のビア115も同時にエッチングされ、第1のビア115の底で第1の配線103の表面が露出している。次に、図4(F)に示す様に、10~300nmの第1のバリアメタル105を形成後、CVD技術により800~2000nmのアルミ、銅等の第2の配線106を形成し、第1のビア115及び配線形成のための溝119を完全に埋め込む。

【0039】次に、図5(G)に示す様に、CMP、エッチバック等の公知の技術を用いて第2の層間絶縁膜104の表面を平坦化し、第2の配線である第1の平面的インダクタ形状を有する配線部層106を形成する。次に、図5(H)に示す様に、上記の図4(A)~図5(G)の工程を繰り返す、第3の層間絶縁膜107を形成後、第2のビア116及び配線形成のための溝119を形成し、10~300nmの第2のバリアメタル108を形成後、CVD技術により800~2000nmのアルミ、銅等を形成し、第2のビア116及び配線形成のための溝119を完全に埋め込んだ後、CMP、エッチング等により第3の層間絶縁膜107の表面を平坦化し、第3の配線である第2の平面的インダクタ形状を有する配線部層109を形成する。

【0040】尚、図2(A)及び図2(B)に示したように、第1のビア115はドット状で、第2のビア116はスリット状に形成されている。さらに、本具体例に於いては、上記の図4(A)~図5(G)の工程を繰り返す、第4の層間絶縁膜110、10~300nmの第3のバリアメタル111を形成後、CVD技術により800~2000nmのアルミ、銅等を形成し、ビア116及び配線形成のための溝119を完全に埋め込んだ後、CMP、エッチング等により第4の層間絶縁膜110の表面を平坦化し、第4の配線である第3の平面的インダクタ形状を有する配線部層112を形成する。

【0041】上記した本発明に係る具体例に於いては、当該平面的インダクタ形状を有する配線部層は3層10

ては係る具体例に特定されるものではなく、当該平面的インダクタ形状を有する配線部層は4層若しくは4層以上に積層形成するものであっても良い事は言うまでもない。

【0042】本発明に係る半導体装置100は、上記した構成に加えて、更に半導体基板上に絶縁膜を介し形成されたインダクタの配線部分の下に突起状物を含む接続部を有し、且つ当該平面的インダクタ形状を有する配線部層の配線本体部22の下に形成された接続部21が当該配線本体部22と同一の材料から構成されているものであり、又別の具体例では、当該両者は別々の材料から構成されているもので有っても良い。

【0043】当該本発明に係る半導体装置100の一具体例を図6~図9を用いて説明する。本具体例に於ける当該半導体装置100の製造方法は、基本的には、図1乃至図5で説明した方法と同一であるが、当該平面的インダクタ形状を有する配線部層の各層を構成する当該配線本体部22に対して接続部21が複数個、互いに平行に配置されている点が異なっている。

【0044】図6(A)は、スパイラルインダクタの平面レイアウトの特徴的な部分を示し、第4の配線312からなる平面的インダクタ形状を有する配線部層と当該配線層312に接続された上部引き出し電極314と第3の配線309からなる平面的インダクタ形状を有する配線部層、及び第2の配線306からなる平面的インダクタ形状を有する配線部層と当該平面的インダクタ形状を有する配線部層306に接続された下部引き出し電極313が重なって示されている。

【0045】図6(B)は、本具体例に於けるスパイラルインダクタの断面構造の特徴を詳しく説明するために、図6(A)の一点鎖線で示された部分を拡大し、かつ、図6(A)中の最下層の平面的インダクタ形状を有する配線部層306の一部319のみを抜き出したもので、このスパイラルインダクタは第2の配線である第1の平面的インダクタ形状を有する配線部層306、複数の互いに平行に配列されたスリット状の突起物320から構成され、図に示した平面レイアウトとなっている。

【0046】同様に、図6(C)は、図6(B)に示した最下層の平面的インダクタ形状を有する配線部層306に於ける一部319の構造を具体的に説明するために、最下層の平面的インダクタ形状を有する配線部層306のE-F部の断面構造を示したものである。まず、図6(C)を用いて本具体例に係るインダクタの断面構造の特徴的な部分について説明する。

【0047】本具体例に於ける最下層の平面的インダクタ形状を有する配線部層306の一部を構成する部分319は、当該平面的インダクタ形状を有する配線部層306の配線本体部22と当該配線本体部22より下方に突出したスリット状の突起物320からなる接続部21

例に於いては、当該平面的インダクタ形状を有する配線部層306の配線本体部22と当該配線本体部22より下方に突出したスリット状の突起物320からなる接続部21とが同一の材料から構成されているものである。

【0048】次に、図7は、図6(A)に示したスパイラルインダクタの平面図のC-D部の断面を示した図である。図6(C)及び、図7より、スパイラルインダクタのコイルの部分形成している第2の配線である第1の平面的インダクタ形状を有する配線部層306と第3の配線である第2の平面的インダクタ形状を有する配線部層309は、図6(C)に示したように各配線の下に複数の突起物320を持ち、第3の配線である第2の平面的インダクタ形状を有する配線部層309の下に形成された突起物320がスリット状の複数のビアの役割をして第2の配線306と接続している。

【0049】また、第4の配線312は、第2の平面的インダクタ形状を有する配線部層309の上部と接続されて、引き出し電極314を構成していることがわかる。以下に、上記本発明に係る半導体装置の具体例について図8(a)～図9(E)を用いて説明する。特に、図8(A)～図9(E)では、第2の配線である当該第1の平面的インダクタ形状を有する配線部層306、及び、当該第2の配線306の下にあるスリット状の突起物320からなる接続部21の形成方法について詳細に説明する。

【0050】まず、図8(A)に示す様に、P型半導体基板301上に1000～1600nmの第1の層間絶縁膜302を形成し、10～1000nmのバリアメタル321及び500～1000nmの第1の配線303を形成するものであり、この第1の配線はシリコン基板上に形成された、例えばNMOS、PMOS等の能動素子の配線に用いられるものである。

【0051】次に、例えば、酸化膜、BPSG膜からなる第2の層間絶縁膜304を成長し、第1の配線303上に100～500nmの膜厚になるようにCMP、エッチバック等の公知の技術を用いて表面が平坦になるように形成した後、第2の層間絶縁膜304とは膜質の異なる、例えば窒化膜からなる第3の層間絶縁膜307を形成し、第2の層間絶縁膜304と同じ膜からなる、第4の層間絶縁膜310を形成する。

【0052】次に、図8(B)に示す様に、第4の層間絶縁膜310上に配線を形成するための第1のマスク317を形成し、第2の配線である第1の平面的インダクタ形状を有する配線部層306を形成するための溝306a、306b、及び、306cをそれぞれ形成する。次に、図8(C)に示す様に、例えば、フォトレジストからなる第2のマスク318を形成し、公知の異方性エッチング技術により、第1の配線303との接続をとるための第1のビア315aと、当該平面的インダクタ形

21を形成するための溝状のビア315bを形成する。

【0053】この際に、厳密に言うと315aと315bの深さを比べると、エッチングのストッパーになるものがないので315bの方が深くなるが、第1の配線303上の第2の層間絶縁膜の膜厚に対し、第3の層間絶縁膜310の膜厚を十分厚くするとこの差をほとんどなくすることができる。次に、図9(D)に示す様に、第1のマスク317及び、第2のマスク318を除去した後、10～300nmの第1のバリアメタル305を形成後、スパッタ、CVD等の技術により800～2000nmのアルミ、銅等の第2の配線である第1の平面的インダクタ形状を有する配線部層306を形成し、第1のビア315a、315b、及び、第2の配線形成のための溝306a、306b、306cを完全に埋め込んだものである。

【0054】次に、図9(E)に示す様に、CMP、エッチバック等の公知の技術を用いて第2の層間絶縁膜310の表面を平坦化し、第2の配線306を形成したものである。さらに、上記の図8(A)～図9(E)の工程を繰り返して、第2の平面的インダクタ形状を有する配線部層309を形成後、第4の配線312からなる上部引き出し電極314を形成したものが図7である。

【0055】上記の説明に於いては、各平面的インダクタ形状を有する配線部層309、309の配線本体部22に対して一つの接続部22が形成される例を示しているが、実際には、図に示す様に当該接続部22は、一つの配線本体部22に対して複数個形成されるものである。上記した様に、高周波での表皮効果をさらに改善するためにはスパイラルインダクタの表面積を更に稼ぐのが有効な手段であり、これを実施する一つの方法としてスパイラルインダクタの配線本体部22の下に形成されている突起物の幅と間隔を更に狭くすることにより表面積を稼ぐ事が可能である。

【0056】上記具体例に於いては、当該平面的インダクタ形状を有する配線部層の配線本体部22と接続部21とが同一の材料で同時に形成する方法がとられているが、この方法を用いると、突起物(ビアの)アスペクト比が大きくなるので、突起物(ビアの)中を完全に埋め込むことが難しくなる。これを回避するために以下に述べる具体例が使用される。

【0057】次に、本発明に係る他の具体例について、第2の実施例の製造方法を、図10及び図11(A)～図12(E)を用いて説明する。即ち、本具体例に於いては、前記した具体例に対して、平面的インダクタ形状を有する配線部層に於ける配線本体部22と接続部材21とが異なる材料で形成されている点に特徴がある。

【0058】特に、図11(A)～図12(E)では、第2の配線である第1の平面的インダクタ形状を有する配線部層306の配線本体部22及び当該配線本体部2

れるから接続部21に相当する突起物状の21、21'の形成方法について詳細に説明する。まず、図11

(A)に示す様に、P型半導体基板301上に1000～1600nmの第1の層間絶縁膜302を形成し、10～1000nmのバリアメタル321及び500～1000nmの第1の配線303を形成する。

【0059】この第1の配線303はシリコン基板上に形成された、例えばNMOS、PMOS等の能動素子の配線に用いられるものである。次に、例えば、酸化膜、BPSG膜からなる第2の層間絶縁膜304を成長し、第1の配線303の上に形成される当該第2の層間絶縁膜304の膜厚が100～500nmの膜厚になるようにCMP、エッチバック等の公知の技術を用いて表面が平坦になるように形成する。

【0060】次に、図11(B)に示す様に、第2の層間絶縁膜304上に、例えば、フォトレジストからなるマスクを形成し、公知の異方性エッチング技術により、第1の配線303との接続をとるための接続部21'を形成する為のビア116と、当該第1の平面的インダクタ形状を有する配線部層319の下に接続部21に相当する突起物を形成するためのビア116を形成し、10～300nmの第4のバリアメタル305aを形成後、CVDもしくはスパッタ等の技術により800～2000nmのアルミ、タングステン等の第5の配線306aを形成し、ビア内を完全に埋め込んだものである。

【0061】次に、図10(C)に示す様に、CMP、エッチバック等の技術を用いることにより第2の層間絶縁膜304を露出させ、ビア内部にのみ、第4のバリアメタル305a、第5の配線306aを完全に埋め込みプラグを形成する。次に、図12(D)に示す様に、800～2000nmの第3の層間膜308を成長後、第2の配線である第1の平面的インダクタ形状を有する配線部層306を形成するための溝を、公知の異方性エッチング技術により形成し、10～300nmの第1のバリアメタル305を形成し、スパッタ、メッキもしくはスパッタとメッキを併用する等の技術により800～2000nmの銅、金等の第2の配線306を形成し、溝の内部を完全に埋め込んだものとする。

【0062】次に、図12(E)に示す様に、CMP、エッチバック等の公知の技術を用いて第3の層間膜318の表面を平坦化し、第2の配線である第1の平面的インダクタ形状を有する配線部層306を形成する。さらに、上記の図11(A)～図12(E)の工程を繰り返して、第2の平面的インダクタ形状を有する配線部層309を形成した後、第4の配線312からなる上部引き出し電極314を形成した、図10に示す本発明の半導体装置100が完成する。

【0063】上記具体例に於いては、便宜上、当該一つの平面的インダクタ形状を有する配線部層の配線本体部

明したが、当該各接続部21は、一つの配線本体部22に対して図10に示す様に複数個配置せしめる事が望ましい。以上の具体例の説明からわかるように本発明の別の具体例のスパイラルインダクタでは、平面的インダクタ形状を有する配線部層、例えば306を形成する配線本体部22の構成材料と当該配線本体部22に接続された接続部21を形成する305aと306aから構成されるスリット状の突起物は異なる材料から構成されていることを特徴とし、埋込性の良い材料、方法を用いることによって突起物の個数を増やすことができるのでスパイラルインダクタの表面積をより大きくすることができ、高周波領域での表皮効果が改善される。

【0064】次に、本発明に係る他の具体例について以下に説明する。本具体例に於いては、当該配線部層の断面形状は、上層側の当該配線部層の断面積に対して、その下層側の当該配線部層の断面積が小さくなるように構成されている事の特徴とするものであって、より具体的には、半導体基板上に絶縁膜を介し形成された前記の各具体例に於て形成された複数の平面的インダクタ形状を有する配線部層を構成するインダクタが、積層構造に於て、上層の配線が下層の配線を覆って形成される構造を有しているものである。

【0065】まず、図14～図16を用いて本発明の他の具体例を説明する。図14(A)は、スパイラルインダクタの平面レイアウトの特徴的な部分を示し、図15に示す様に、第4の配線312からなる上部引き出し電極314と第3の配線である第2の平面的インダクタ形状を有する配線部層309、及び、第2の配線である第1の平面的インダクタ形状を有する配線部層306と当該配線部層306の下部から引き出される下部引き出し電極313が重なって示されている。

【0066】図14(B)は、本具体例のスパイラルインダクタの断面構造の特徴を詳しく説明するために、図14(A)の一点鎖線で示された部分を拡大し、かつ、図14(A)中の最下層の平面的インダクタ形状を有する配線部層306のみを抜き出したもので、このスパイラルインダクタは第2の配線である平面的インダクタ形状を有する配線部層306に於ける配線本体部22と当該配線本体部22に接続された接続部21を構成する、スリット状の突起物320から構成されている。

【0067】同様に、図14(C)は、図14(B)に示した最下層の平面的インダクタ形状を有する配線部層306の構造を具体的に説明するために、最下層の平面的インダクタ形状を有する配線部層306のE-F部の断面構造を示したものである。まず、図14(C)を用いて本具体例のインダクタの断面構造の特徴的な部分について説明する。

【0068】つまり本具体例に於ける最下層の第1の平面的インダクタ形状を有する配線部層306は、当該配

設けられたスリット状の突起物320aからなる接続部21とによって構成され、最上層の平面的インダクタ形状を有する配線部層309は、第2の平面的インダクタ形状を有する配線部層の配線本体部22と当該配線本体部22に設けられた接続部21を構成するスリット状の突起物320bとによって構成され、最上層のスパイラルインダクタ309の幅は最下層のスパイラルインダクタ306よりも幅が広く、最上層のスパイラルインダクタ309の下にあるスリット状の突起物320bの一部は、最下層のスパイラルインダクタ306と接続して

【0069】尚、本具体例に於ける平面的インダクタ形状を有する配線部層であるスパイラルインダクタでは、インダクタを構成する配線の材料とスリット状の突起物を形成する材料が同一の材料によって構成されていても良く、又異なるものであっても良い。次に、図15は、図14(A)に示したスパイラルインダクタの平面図のC-D部の断面を示した図である。

【0070】図14(C)及び、図15より、スパイラルインダクタのコイルの部分形成している第2の配線である第1の平面的インダクタ形状を有する配線部層306と第3の配線である第2の平面的インダクタ形状を有する配線部層309は、図14(C)に示したように各配線の下に接続部21を構成する複数の突起物320を持ち、第3の配線である第2の平面的インダクタ形状を有する配線部層309が有する配線本体部22の下に形成された接続部21としての当該複数の突起物320がスリット状の複数のビアの役割をして第2の配線である第1の平面的インダクタ形状を有する配線部層306の配線本体部22と接続している。

【0071】また、第3の配線である当該第2の平面的インダクタ形状を有する配線部層309の下に形成された突起物320の一部は、第2の配線である当該第1の平面的インダクタ形状を有する配線部層306とは接続していないことがわかる。さらに、第4の配線312は当該第2の平面的インダクタ形状を有する配線部層309上部引き出し電極314を構成していることがわかる。

【0072】続いて、上記した本発明の他の具体例に於ける半導体装置100の製造方法の具体例について詳細に説明する。即ち、上記した本発明に係る他の本具体例の製造方法を、図16(A)～図17(E)を用いて説明する。特に、図16(A)～図17(E)では、最下層の第2の配線である第1の平面的インダクタ形状を有する配線部層306、及び当該第2の配線306の下にあるスリット状の突起物320の形成方法について詳細に説明する。

【0073】まず、図16(A)に示す様に、P型半導体基板301上に1000～1600nmの第1の層間

リアメタル321及び500～1000nmの第1の配線303を形成する。この第1の配線303はシリコン基板上に形成された、例えばNMOS、PMOS等の能動素子の配線に用いられるものである。

【0074】次に、例えば、酸化膜、BPSG膜からなる第2の層間絶縁膜304を成長し、第1の配線303の上に当該層間絶縁膜304の膜厚が100～500nmの膜厚になるようにCMP、エッチバック等の公知の技術を用いて表面が平坦になるように形成した後、第2の層間絶縁膜とは膜質の異なる、例えば窒化膜からなる第3の層間絶縁膜307を形成し、第2の層間絶縁膜と同じ膜からなる、第4の層間絶縁膜310を形成する。

【0075】次に、図16(B)に示す様に、第4の層間絶縁膜310上に配線を形成するための第1のマスク317を形成し、第2の配線である第1の平面的インダクタ形状を有する配線部層306を形成するための溝306a、306b、及び、306cをそれぞれ形成する。次に、図16(C)に示す様に、例えば、フォトリジストからなる第2のマスク318を形成し、公知の異方性エッチング技術により、第1の配線303との接続をとるための第1のビア315aと、当該第1の平面的インダクタ形状を有する配線部層306の下に接続部21を形成するための例えば突起部を形成する為の溝315bを形成したものである。

【0076】この際に、厳密に言うと315aと315bの深さを比べると、エッチングのストッパーになるものがないので315bの方が深くなるが、第1の配線303上の第2の層間絶縁膜の膜厚に対し、第3の層間絶縁膜の膜厚を十分厚くするとこの差をほとんどなくすることができる。次に、図17(D)に示す様に、第1のマスク317及び、第2のマスク318を除去した後、10～300nmの第1のバリアメタル305を形成後、スパッタ、CVD等の技術により800～2000nmのアルミ、銅等の第2の配線306を形成し、第1のビア315a、315b、及び、第2の配線である当該第1の平面的インダクタ形状を有する配線部層306形成のための溝306a、306b、306cを完全に埋め込んだものである。

【0077】次に、図17(E)は、CMP、エッチバック等の公知の技術を用いて第2の層間絶縁膜104の表面を平坦化し、第2の配線106を形成したものである。さらに、上記の図16(A)～図17(E)の工程を繰り返し、第2の平面的インダクタ形状を有する配線部層309と第4の配線312からなる上部引き出し電極314を形成したものであり、その完成された半導体装置100は図18に示されている。

【0078】本具体例に於いては、上記した様に、第2の平面的インダクタ形状を有する配線部層309を形成する場合、当該配線本体部22の幅若しくは長さが、当

の幅若しくは長さよりも長く成るように構成する必要があり、それに伴って、第2の平面的インダクタ形状を有する配線部層309に於ける、当該配線本体部22に設けられる当該接続部21の個数も、当該第1の平面的インダクタ形状を有する配線部層306の当該配線本体部22に設けられる当該接続部21の個数よりも多くなる様に構成される事が必要である。

【0079】上記具体例に於いては、便宜上、当該一つの平面的インダクタ形状を有する配線部層の配線本体部22に対して一つの接続部21を形成する方法の例を説明したが、当該各接続部21は、一つの配線本体部22に対して図18に示す様に複数個配置せしめる事が望ましい。尚、本具体例に於ける平面的インダクタ形状を有する配線部層であるスパイラルインダクタでは、インダクタを構成する配線の材料とスリット状の突起物を形成する材料が同一の材料によって構成される場合について説明したが、本具体例に於いては、当該インダクタを構成する配線の材料とスリット状の突起物を形成する材料が異なる材料によって構成されるもので有っても良く、その場合の製造方法は、前記した図11乃至図12につ

いて説明した方法を採用する事が可能である。

【0080】尚、本発明に於ける当該半導体装置100に於いては、何れの具体例に関しても、当該第1の平面的インダクタ形状を有する配線部層106或いは306の配線本体部22の下方に形成される当該接続部21は、当該引き出し線103或いは303と接続する部分では、円柱状の突起が形成されるが、当該引き出し線103或いは303が配列される側の当該配線本体部22には、短絡防止上から上記した接続部21を構成する突起部は形成されない事が好ましい。

【0081】その他の配線本体部22には、当該平面的インダクタ形状を有する配線部層の全長に亘って溝状、湾曲状等の突起が形成されるものである。次に、図19乃至図21を参照しながら本発明に於ける更に他の具体例について説明する。即ち、図21は、本発明に係る更に他の具体例により得られる半導体装置100であって、その特徴は、平面的インダクタ形状を有する配線部層の当該配線本体部22の上部及び下部の双方に、接続部21を構成する突起物を設けるものであり、係る構成を採用する事によって、更にインダクタの表皮効果を改善できることは言うまでもない。

【0082】次に、図21及び図19(A)～図20(E)を用いて本具体例の製造方法を説明する。即ち、図19(A)から図20(E)に示した各製造工程は、前記した具体例に於ける図11(A)～図12(E)の製造工程と同一であるので、その詳細な説明は省略する。

【0083】そして、図20(E)の構造を有する半導体装置が出来た後、図19(B)、(C)に示した方法

線部層306上に第4の層間絶縁膜310を形成し、当該平面的インダクタ形状を有する配線部層306上にスリット状のビア117を開口し、第5のバリアメタル308a、第6の配線309aを完全に埋め込み、その後、平坦化処理を行って突起物21を形成したものである。

【0084】

【発明の効果】本発明に係る当該半導体装置は、上記した様な技術構成を採用しているため、当該平面的インダクタ形状を有する配線部層からなるインダクタの配線の下もしくは上に、配線に用いた材料と同じ材料で構成されたプラグからなる突起物を形成することにより、インダクタの表面積を大きくし、表皮効果を抑制する事が可能となる。

【0085】更に、当該平面的インダクタ形状を有する配線部層からなるインダクタの配線の下もしくは上に、配線に用いた材料と異なる材料で構成された突起状物を構成する事によって、狭い溝内にも当該金属配線材料が確実に埋め込まれるので、半導体装置の歩留りが向上する。又、当該平面的インダクタ形状を有する配線部層の断面積を大きくすることにより配線抵抗を低減し、Q値の向上をはかる事が出来る。

【0086】更に、本発明に於いては、インダクタを構成する配線が上層になるほど幅が広がるので、基板とインダクタ配線の間での寄生容量が低減できる。一方、本発明に於ける半導体装置に於いては、下層のインダクタと上層のインダクタが、インダクタと同じ平面レイアウトのスリット状のビアを介し互いに接続されていることにより、インダクタの配線抵抗を低減する。

30 【図面の簡単な説明】

【図1】図1は、本発明の半導体装置の一具体例の構成を示す断面図である。

【図2】図2は、本発明に係る半導体装置の一具体例に於ける構成を説明する図である。

【図3】図3は、本発明の半導体装置の一具体例に於ける製造方法に於ける主要な工程に於ける断面図である。

【図4】図4は、本発明の半導体装置の一具体例に於ける製造方法に於ける主要な工程に於ける断面図である。

40 【図5】図5は、本発明の半導体装置の一具体例に於ける製造方法に於ける主要な工程に於ける断面図である。

【図6】図6は、本発明の半導体装置の別の具体例に於ける構成を説明する図である。

【図7】図7は、本発明の半導体装置の別の具体例に於ける製造方法に於ける主要な工程に於ける断面図である。

【図8】図8は、本発明の半導体装置の別の具体例に於ける製造方法に於ける主要な工程に於ける断面図である。

【図9】図9は、本発明の半導体装置の別の具体例に於

る。

【図10】図10は、本発明の半導体装置の他の具体例の構成を示す断面図である。

【図11】図11は、本発明に係る半導体装置の他の具体例に於ける構成を説明する図である。

【図12】図12は、本発明の半導体装置の他の具体例に於ける製造方法に於ける主要な工程に於ける断面図である。

【図13】図13は、従来の半導体装置の製造方法の一例に於ける主要な工程での断面図である。

【図14】図14は、本発明に係る半導体装置の更に他の具体例に於ける構成を説明する図である。

【図15】図15は、本発明の半導体装置の更に他の具体例の構成を示す断面図である。

【図16】図16は、本発明の半導体装置の更に他の具体例に於ける製造方法に於ける主要な工程に於ける断面図である。

【図17】図17は、本発明の半導体装置の更に他の具体例に於ける製造方法に於ける主要な工程に於ける断面図である。

【図18】図18は、本発明の半導体装置の更に別の具体例の構成を示す断面図である。

【図19】図19は、本発明の半導体装置の更に異なる具体例に於ける製造方法に於ける主要な工程に於ける断面図である。

【図20】図20は、本発明の半導体装置の更に異なる

具体例に於ける製造方法に於ける主要な工程に於ける断面図である。

【図21】図21は、本発明の半導体装置の更に異なる具体例の構成を示す断面図である。

【符号の説明】

20…インダクタ、コイル構成体

21…接続部

22…配線本体部

23、320…突起状物

10 24…接続構成部、ビアホール

100…半導体装置

101、301…基板

102、302、104、304、107、307、1

10、318…層間絶縁膜

103、303…引き出し線

105、108、111、308…バリアメタル

106、306…第1の平面的インダクタ形状を有する配線部層

109、309…第2の平面的インダクタ形状を有する配線部層

112…第3の平面的インダクタ形状を有する配線部層

114、312、314…引き出し線

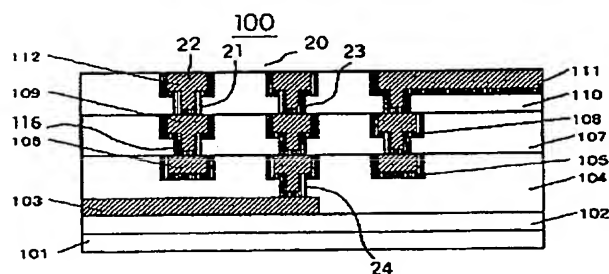
115…ドット状のビア

116…スリット状のビア

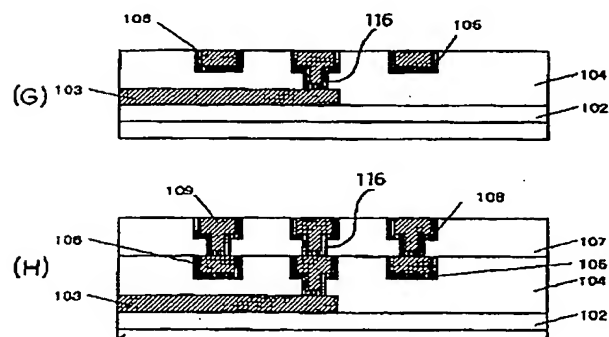
117、118…マスク

119…配線本体部形成用溝部

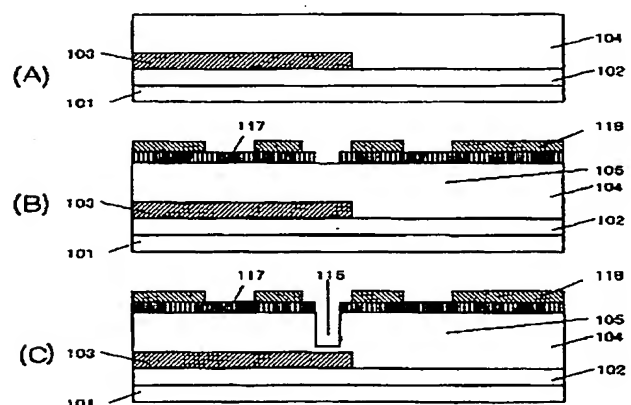
【図1】



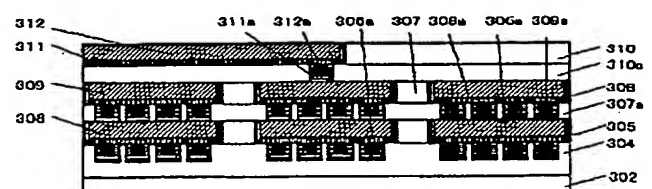
【図5】



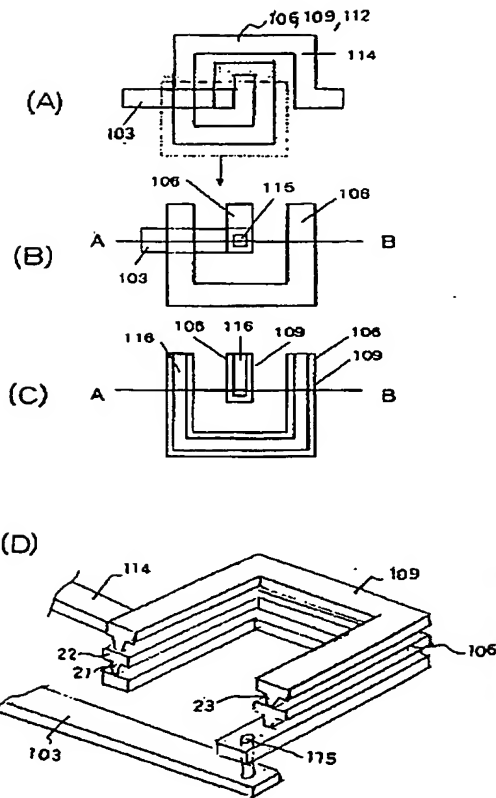
【図3】



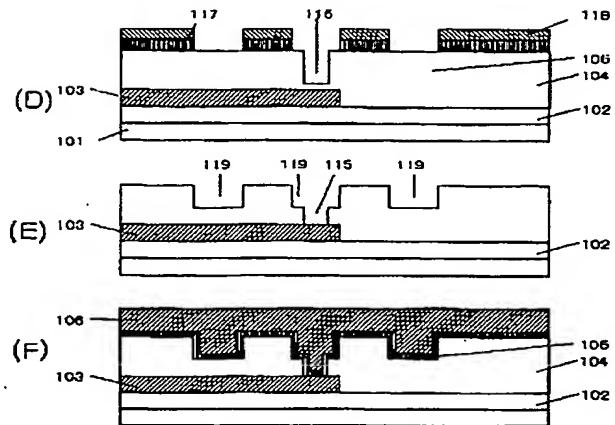
【図10】



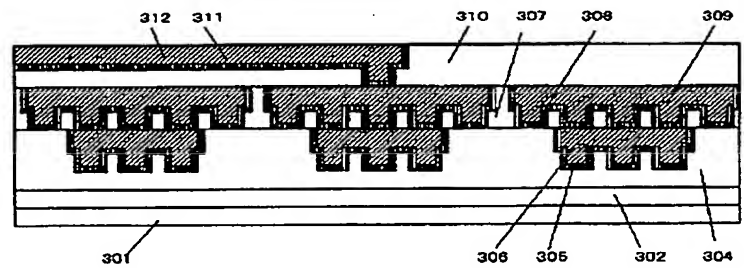
【図2】



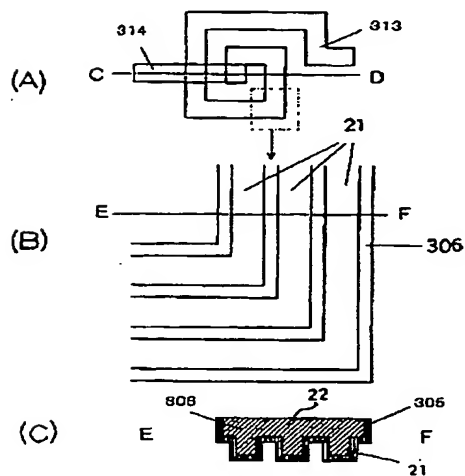
【図4】



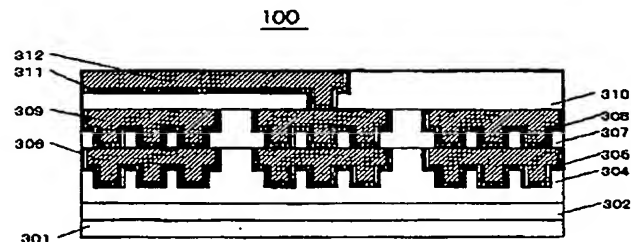
【図15】



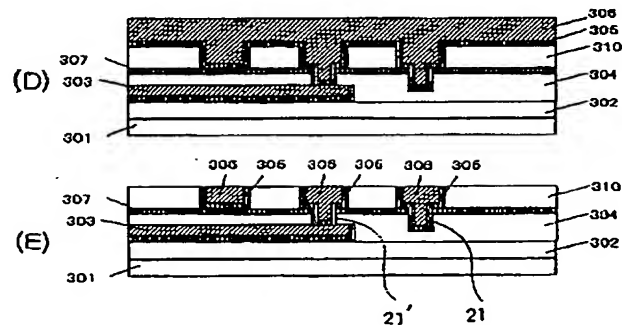
【図6】



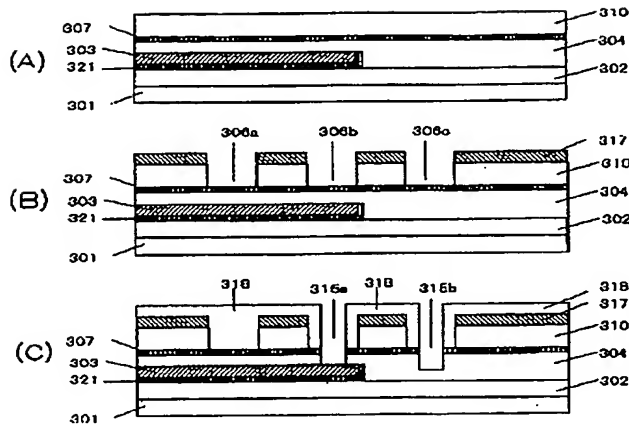
【図7】



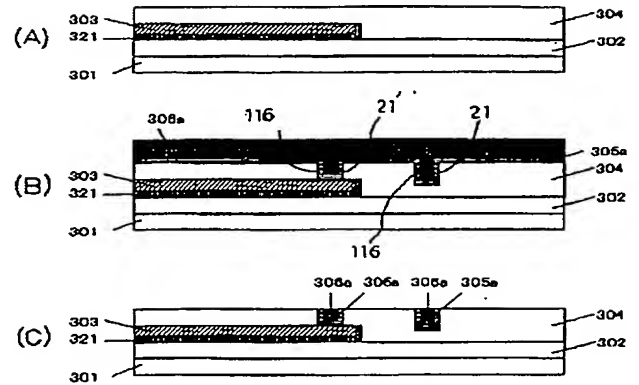
【図9】



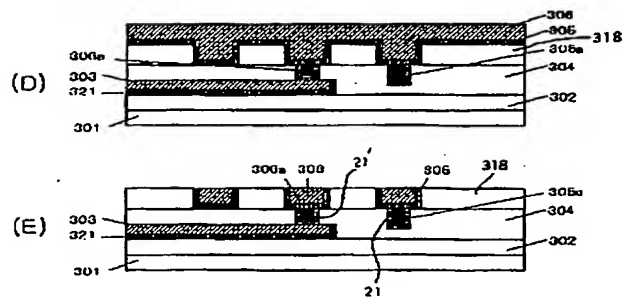
【図8】



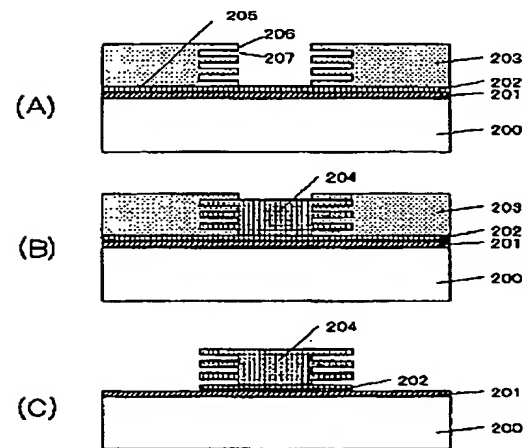
【図11】



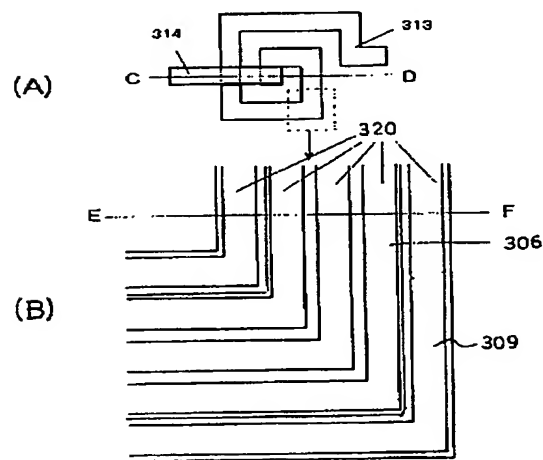
【図12】



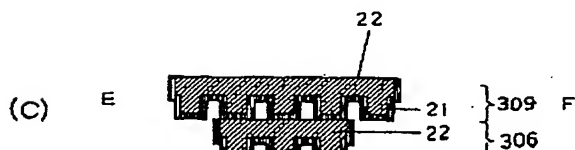
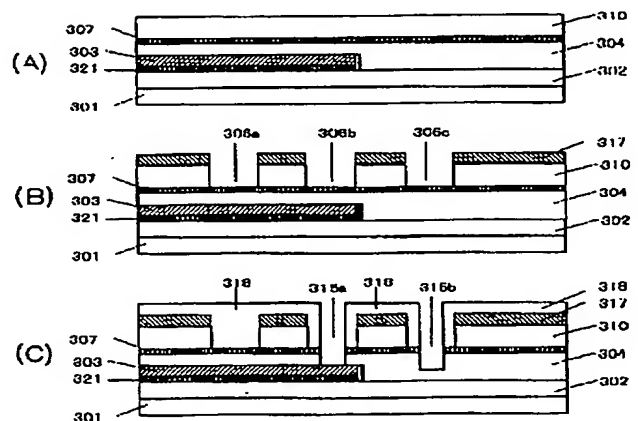
【図13】



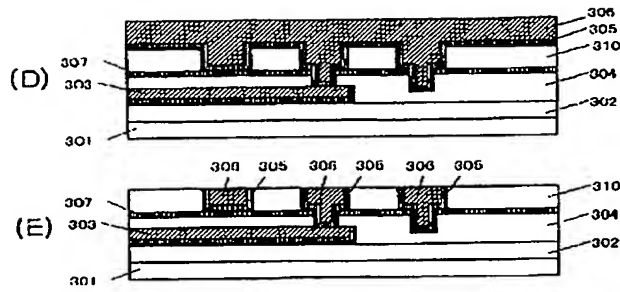
【図14】



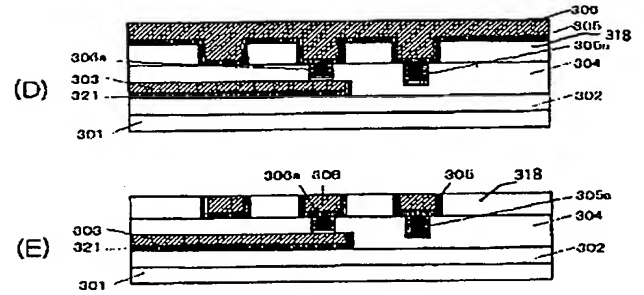
【図16】



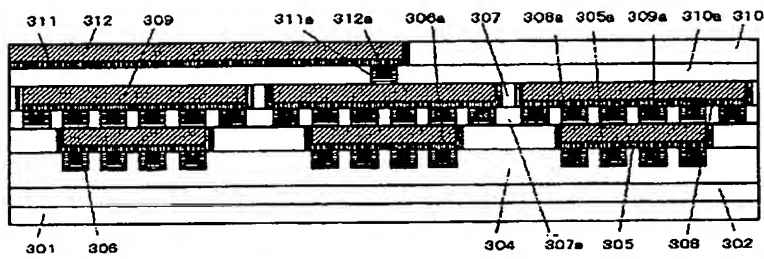
【図17】



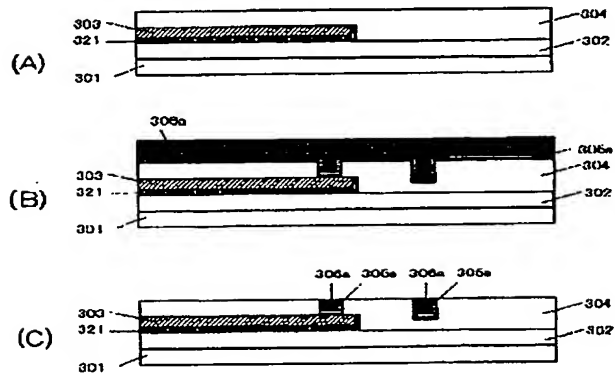
【図20】



【図18】



【図19】



【図21】

